МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ МИРЭА

Подлежит возврату

№ **1352**

# А.Н. Богаченков

ЦИФРОВЫЕ УСТРОЙСТВА И МИКРОПРОЦЕССОРЫ

Методические указания

по выполнению лабораторных работ

для студентов, обучающихся

по направлению 210400.62 «Радиотехника» по профилям 01, 22;

по направлению 210700.62 «Инфокоммуникационные технологии и системы связи» по профилю 05;

по специальности 210601.65 «Радиоэлектронные системы и комплексы» по специализации 02

МОСКВА МГТУ МИРЭА 2014

*Утверждено редакционно-издательским советом МГТУ МИРЭА в качестве методического пособия для студентов*

Подготовлено на кафедре «Радиосистемы передачи информации» Рецензент: А.И. Удалов

# Богаченков А.Н.

Цифровые устройства и микропроцессоры : Методи- ческие указания по выполнению лабораторных работ / А.Н. Богаченков. Под ред. Е.В. Улыбышева. — М.: МГТУ МИРЭА, 2014. — 32 с.

Методические указания содержат описания лабораторных работ, в которых изучаются принципы построения и функциони- рования типовых логических элементов, комбинационных и по- следовательностных устройств.

Материал предназначен для студентов дневного отделения и может быть использован для самостоятельной работы при освое- нии базового курса кафедры.

*Учебное издание*

**Богаченков** Алексей Николаевич

ЦИФРОВЫЕ УСТРОЙСТВА И МИКРОПРОЦЕССОРЫ

Методические указания по выполнению лабораторных работ

Печатается в авторской редакции Подписано в печать 12.11.2014. Формат 60х84 1/16.

Физ. печ. л. 2,0. Тираж 150 экз. Изд. № 84. Заказ № 556

ФГБОУ ВПО «МГТУРЭА (МИРЭА)»

119454, Москва, пр. Вернадского, д. 78

© МГТУ МИРЭА, 2014

**Лабораторная работа № 1**

**БАЗОВЫЕ ЭЛЕМЕНТЫ ЦИФРОВЫХ УСТРОЙСТВ В ПРОГРАММЕ ELECTRONICS WORKBENCH**

# Общие сведения о программе

Программа Electronics Workbench (для лабораторных работ используется версия 5.12 Pro) является разработкой фирмы Image Technologies. В настоящее время имеется более мощная версия под названием Multisim. Особенностью программы является на- личие контрольно-измерительных приборов, приближенных к ре- альным аналогам — мультиметра, генераторов сигналов и кодов, осциллографа, измерителя частотных характеристик, логического анализатора и др. Имеется встроенная обширная библиотека ана- логовых и цифровых электронных компонентов, большой набор методов анализа различных характеристик электронных схем.

# Порядок выполнения

## Знакомство с программной средой

**Внимание!** При загрузке новых схем и выходе из программы на запрос о сохранении изменений (Save changes…) всегда выби- рать ответ «**Нет**».

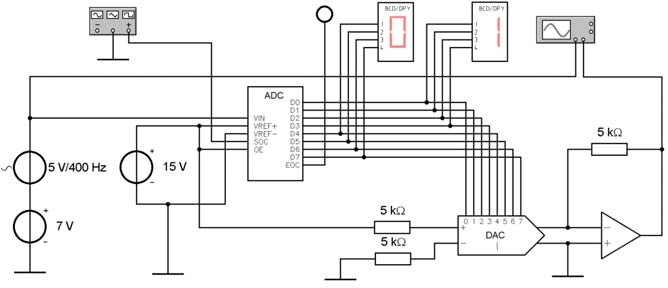
Все рабочие схемы, используемые в данной работе, находят- ся в каталоге **D:\Electronics Workbench\Lab1**.

Запустить программу посредством значка  на рабочем столе Windows. Ознакомиться с основными элементами интер- фейса программы: пунктами меню, линейками контрольно- измерительных приборов и библиотек компонентов.

|  |  |  |  |
| --- | --- | --- | --- |
| *Основные команды* | *Пункты меню* | *Значок* | *Клавиша* |
| Открытие файла схемы | File / Open |  | Ctrl + O |
| Запуск моделирования | Analysis / Activate |  | Ctrl + G |
| Остановка моделирования | Analysis / Stop |  | Ctrl + T |
| Временная остановка | Analysis / Pause |  | F9 |

## Дискретизация аналоговых сигналов

Загрузить файл **Демо - АЦП-ЦАП.ewb** . Двойным щелчком раскрыть приборы — функциональный генератор и осциллограф. Запустив моделирование, наблюдать осциллограммы входного и выходного сигналов, отметить наличие дискретизации выходного сигнала по времени и амплитуде.



Не останавливая моделирование, освоить основные элементы настройки осциллографа. Изменять по очереди, наблюдая эффект и возвращаясь в исходное состояние, следующие параметры:

**Expand, Reduce** — увеличение/уменьшение окна осцилло- графа (в расширенном окне обратить внимание на дополнитель- ные средства для измерения параметров сигнала);

**Time base** [s/div, ms/div, µs/div, ns/div] — развертка по времени [с/дел., мс/дел., мкс/дел., нс/дел.];

**Trigger** — способ синхронизации изображения сигнала: по положительному фронту (Edge ), по отрицательному фронту (Edge  ), уровню (Level), выбор внешней синхронизации (Ext) или канала (A, B) внутренней синхронизации;

**Channel A** [V/div, mV/div, µV/div] — усиление по каналу A [B/дел., мВ/дел., мкВ/дел.];

**Channel B** [V/div, mV/div, µV/div] — усиление по каналу B [B/дел., мВ/дел., мкВ/дел.];

**Y position** — смещение диаграммы по вертикали в делениях.

**Зарисовать в отчете** два семейства диаграмм:

а) примерный вид выходного напряжения для трех значений частоты дискретизации: исходной, уменьшенной (в 4-5 раз) и увеличенной (в 4-5 раз);

б) для верхнего значения частоты дискретизации: диаграммы при разрядности цифрового кода 4, 3, 2, 1 (уменьшение разрядно- сти достигается удалением связей между АЦП-ЦАП, начиная с младших разрядов):

Входной сигнал

Частота … Гц

Гц

Выходной сигнал (разрядность кода – 8)

Частота дискретизации … (исходная)

Частота дискретизации … Гц

(уменьшенная)

Частота дискретизации … Гц

(увеличенная)

Выходной сигнал (с максимальной частотой дискретизации)

Разрядность 4

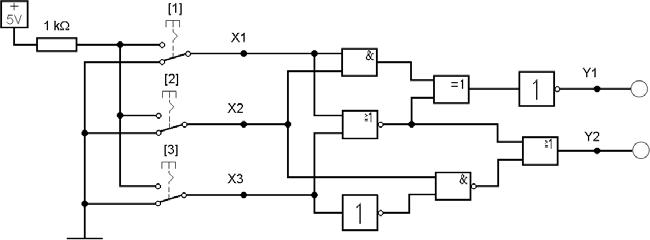
Разрядность 3

Разрядность 2

Разрядность 1

## Исследование простейших логических схем

Используя заготовку из файла **LogicX3Y2.ewb**, подготовить схему по указанию преподавателя (один из вариантов представ- лен ниже, другие приведены в приложении).



Рекомендуется сначала разместить все компоненты на рабо- чем поле, перетащив их с инструментальной линейки, затем сформировать соединения — навести мышью на вывод компо- нента до появления точки и тащить до вывода другого компонен- та или проводника. Для поворота компонента — выделить его, затем кнопка или пункт меню Circuit/Rotate. Изменение количе- ственных параметров — после двойного щелчка на изображении компонента.

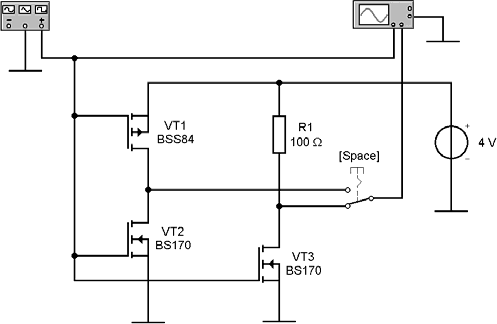
Управление переключателями, задающими логический уро- вень на входах X1, X2, X3, осуществляется клавишами, указан- ными в квадратных скобках. Выходные уровни Y1, Y2 отслежи- ваются индикаторами, которые зажигаются при наличии лог. "1".

Запустив моделирование, проверить работу схемы.

# Привести в отчете:

## Транзисторные каскады в логических элементах

Основным каскадом при построении логических элементов является инвертор на биполярных или МДП-транзисторах. Кас- кад может быть выполнен по двухтактной схеме, с резистивной нагрузкой или открытым стоком (коллектором). В схеме **Stage.ewb** реализованы два варианта. Двухтактный каскад собран на комплементарных транзисторах VT1, VT2: в каждый момент времени открыт только один из них, выдавая на выход лог. "0" (при замыкании на общий провод) или лог. "1" (при замыкании на потенциал питания). В каскаде на транзисторе VT3 с резисто- ром в цепи стока лог. «0» формируется открытым транзистором, лог. "1" — «подтягивающим» резистором. Переключателем, управляемым компьютерной клавишей «Пробел», выходы каска- дов коммутируются на вход осциллографа.



* + схему устройства с указанием логических функций входя- щих элементов;

|  |  |
| --- | --- |
| X3 X2 X1 | Y2 Y1 |
|  |  |

* + таблицу истинности:
  + логические функции для всех выходных сигналов:

Убедиться, что оба каскада на низкой частоте (1 кГц) работают как иде- альные инверторы:

Вход Выход

Y1 = func (X1, X2, X3); Y2 = func (X1, X2, X3);

* + домашнее задание: выполнить схему в базисах И-НЕ, ИЛИ-НЕ.

Снять и **привести в отчете** передаточную характеристику Uвых(Uвх) каскада с резистивной нагрузкой, для чего перевести генератор в режим генерации треугольного сигнала — ,

переключить осциллограф в режим B/A, в котором развертка по оси X осуществляет- ся входным сигналом, а по Y — выходным. Для правильного масштабирования реко- мендуется перезапустить процесс модели- рования. Отметить на осях реальные чис- ловые значения напряжений.

Uвых, В

Uвх, В

Исследовать динамические свойства каскадов. Возвратить осциллограф в режим временных диаграмм (Y/T). Установить на генераторе прямоугольную форму сигнала —  , задать частоту 1…5 МГц (для каждой бригады — свое значение). Снять и **привести в отчете** примерный вид следующих диаграмм (ве- личина нагрузки задается вручную при остановке моделирования и вызове свойств резистора):

Входной сигнал

t

Двухтактный каскад

t

Каскад с резистивной нагрузкой 100 Ом

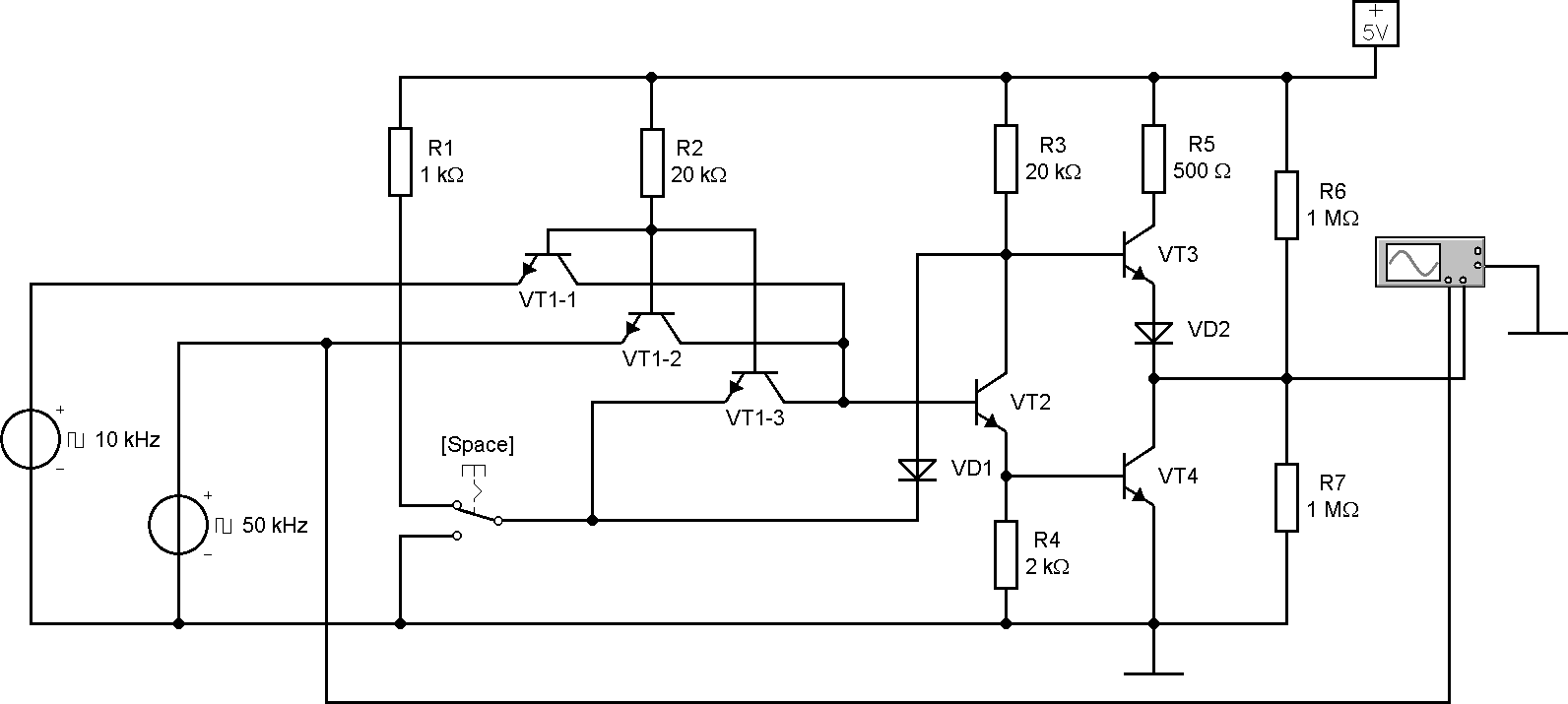
t

Каскад с резистивной нагрузкой 1 кОм

t

Каскад с резистивной нагрузкой 5...10 кОм

t

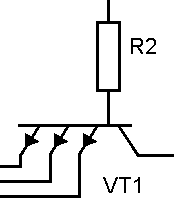


X1

X2

Y

OE

Схема представляет собой двухвходовый логический элемент с третьим состоянием выхода. Два генератора прямоугольных импульсов являются источниками входных воздействий X1, X2. При установке переключателя в нижнее положение (OE = "0") все транзисторы выходного каскада (VT2, VT3, VT4) оказываются в запертом (высокоимпедансном) состоянии, потенциал на выходе будет определяться внешними цепями, которые в данной схеме имитируются резисторами R6, R7. В интегральной

микросхеме обведенный пунктиром участок схе- мы обычно выполняется на многоэмиттерном транзисторе. В среде Electronics Workbench из-за отсутствия в библиотеке подобного компонента использованы раздельные транзисторы.

**Привести в отчете** временные диаграммы, таблицу истинно-

сти.

X1

t

|  |
| --- |
|  |
|  |
|  |
|  |
|  |

X2

t

OE

t

## Схемотехника элементов ТТЛ Y

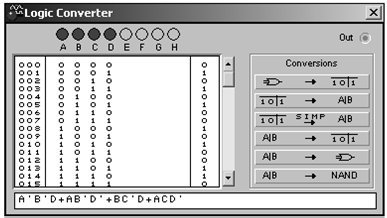
Для знакомства с элементами транзисторно-транзисторной t

логики загрузить схему **TTL gate.ewb**.

## Синтез цифровых схем с использованием логического преоб- разователя (Logic Converter)

Логический преобразователь позволяет анализировать суще- ствующее устройство и синтезировать новое по таблице истинно- сти. Устройство может иметь от 1 до 8 входов и один выход.

Преобразование таблицы в булево выражение



Преобразование в минимизированное булево выражение

Синтез схемы без ограничения типа логич. элементов

Синтез схемы на логических элементах И-НЕ

Создать новую схему в соответствии с одним из нижеприве- денных вариантов (согласовать с преподавателем). Выбрать пункт меню File / New, разместить на рабочем поле компонент Logic Converter, отметить в нем позиционные разряды A, B, C, D,

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вход  ABCD | Вариант | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 0000 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0001 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | – | 0 |
| 0010 | 0 | 1 | 0 | 1 | – | 1 | 0 | 0 | 0 | 1 |
| 0011 | 0 | 0 | 0 | 0 | 1 | 0 | – | 1 | 1 | 1 |
| 0100 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0101 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0110 | 0 | 1 | – | 0 | 0 | – | 0 | 0 | 0 | 1 |
| 0111 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | – | 0 | 1 |
| 1000 | 0 | – | 1 | 1 | 0 | – | 0 | 0 | 0 | 0 |
| 1001 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1010 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | – |
| 1011 | 1 | 1 | 0 | – | 0 | 1 | 0 | 0 | 1 | 0 |
| 1100 | 0 | 1 | 0 | – | 1 | 0 | 1 | 0 | 1 | 1 |
| 1101 | – | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1110 | 1 | 0 | 0 | 0 | 0 | 0 | – | 1 | 0 | 1 |
| 1111 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | – | 0 | 0 |

# Содержание отчета

Схемы устройств, диаграммы, таблицы, функции (перечис-

лены в каждом пункте выполнения работы).

# Контрольные вопросы

ввести таблицу истинности (неполно заданные функции доопре- делить самостоятельно).

Синтезировать неоптимизированные булево выражение и схему, подсчитать количество логических элементов в схеме, удалить схему.

Синтезировать минимизированные булево выражение и схе- му, подсчитать количество логических элементов.

# Привести в отчете:

* таблицу истинности;
* исходное булево выражение, минимизированное булево выражение;
* число синтезированных элементов для двух случаев;
* домашнее задание: с помощью карты Карно осуществить минимизацию логической функции, привести оптимизиро- ванную схему с источниками сигналов и регистраторами.

1. Какие соображения лежат в основе выбора частоты дис- кретизации и уровней квантования при преобразовании аналого- вого сигнала в цифровой.
2. Дайте определения понятиям: логический сигнал, табли- ца истинности, логическая функция.
3. Дайте характеристику основных законов алгебры логики.
4. Дайте понятия минтермов, макстермов, дизъюнктивных и конъюнктивных нормальных форм представления функций.
5. Как осуществляется минимизация логических функций с помощью карт Карно?
6. В чем особенность синтеза частично определенных логи- ческих функций?
7. Изобразите временные диаграммы, характеризующие ра- боту элементов НЕ, И, ИЛИ, Исключающее ИЛИ, И-НЕ и др. с различным числом входов.
8. Перечислите статические и динамические характеристики логических элементов ТТЛ и КМДП логики.
9. Сравните устройства ТТЛ, КМДП, ЭСЛ.
10. Сравните логические элементы с резистивной нагрузкой, динамической нагрузкой и комплементарным каскадом.
11. С какой целью и как реализуется 3-е состояние выходов логических элементов?
12. Как подключаются неиспользуемые входы логических элементов?
13. Синтезировать элементы И-НЕ, ИЛИ-НЕ на КМОП тран- зисторах.

# ПРИЛОЖЕНИЕ к лабораторной работе № 1

**Соответствие обозначений логических элементов**



# Варианты заданий для пункта 3

**1 2**



=1

1

Y1

&

1

X1

X2

&

1

Y2

X3

=1



&

X1

&

Y1

=1

1

X2

1

1

Y2

X3

=1



**3 4**

Y1



1 1

X1

&

1

Y1

=1

X2

&

X3

=1

Y2

X1

1

X2

1

X3 &

1

=1

&

Y2



**5 6**



X1

1

&

=1

Y1

X2

1

&

Y2

X3 =1

1

X1

1

&

=1 Y1

X2

=1

X3

1

&

1

Y2



**7 8**

X1 Y1 X1 Y1



1

&

1

=1

&

1

=1

=1

1

&

&

=1

1

1

|  |  |  |  |
| --- | --- | --- | --- |
| Функция | ГОСТ | DIN | ANSI |
| Инверсия  (НЕ, NOT) | 1 | 1 |  |
| Логич. умножение, конъюнкция  (И, AND) | & | & |  |
| Логич. сложение, дизъюнкция  (ИЛИ, OR) | 1 | >=1 |  |
| Неравнозначность, исключающее ИЛИ  (XOR) | =1 | =1 |  |
| Антиконъюнкция, штрих Шеффера  (И-НЕ, NAND) | & | & |  |
| Антидизъюнкция, стрелка Пирса,  (ИЛИ-НЕ, NOR) | 1 | >=1 |  |
| Равнозначность, исключ. ИЛИ-НЕ  (XNOR) | =1 | = |  |

X2 X2

Y2

Y2

X3 X3

# Примеры графических обозначений некоторых цифровых микросхем

**Библиотека компонентов Electronics Workbench.**

# Микросхемы серии 74xx

Сдвоенный мультиплексор

4 х 1

555КП2, 74153

E1

DI 10

11

12

12

A1 A2

DI 00

01

02

03

1

0

DO

MUX

E0

Четырехразрядный асинхронный счетчик 555ИE5, 7493

Дешифратор 3 х 8 /

демультиплексор 1 – 8

|  |  |  |
| --- | --- | --- |
| Обозн. | Аналог | Функция |
| 7400 | ЛА3 | 4 элемента 2И-НЕ |
| 7402 | ЛЕ1 | 4 элемента 2ИЛИ-НЕ |
| 7403 | ЛА9 | 4 элемента 2И-НЕ с открытым коллектором |
| 7404 | ЛН1 | 6 элементов НЕ |
| 7405 | ЛН2 | 6 элементов НЕ с открытым коллектором |
| 7406 | ЛН3 | 6 буферных инверторов |
| 7407 | ЛП9 | 6 буферных формирователей с открытым коллекто-  ром |
| 7408 | ЛИ1 | 4 элемента 2И |
| 7409 | ЛИ2 | 4 элемента 2И с открытым коллектором |
| 7410 | ЛА4 | 3 элемента 3И-НЕ |
| 7411 | ЛИ3 | 3 элемента 3И |
| 7412 | ЛА10 | 3 элемента 3И-НЕ с открытым коллектором |
| 7414 | ТЛ2 | 6 триггеров Шмитта с инверторами |
| 7415 | ЛИ4 | 3 элемента 3И |
| 7416 | ЛН5 | 6 буферных элементов НЕ |
| 7417 | ЛП4 | 6 буферных элементов с открытым коллектором |
| 7420 | ЛА1 | 2 элемента 4И-НЕ |
| 7421 | ЛИ6 | 2 элемента 4И |
| 7422 | ЛА7 | 2 элемента 4И-НЕ с открытым коллектором и по-  вышенной нагрузочной способностью |
| 7425 | ЛЕ3 | 2 элемента 4ИЛИ-НЕ со стробированием |
| 7426 | ЛА11 | 4 высоковольтных элемента 2И-НЕ с открытым  коллектором |
| 7427 | ЛЕ4 | 3 элемента 3ИЛИ-НЕ |
| 7428 | ЛЕ5 | 4 буферных элемента 2ИЛИ-НЕ |
| 7430 | ЛА2 | элемент 8И-НЕ |
| 7432 | ЛЛ1 | 4 элемента 2ИЛИ |
| 7433 | ЛЕ11 | 4 элемента 2ИЛИ-НЕ с открытым коллектором |
| 7437 | ЛА12 | 4 буферных элемента 2И-НЕ |
| 7438 | ЛА13 | 4 буферных элемента 2И-НЕ с открытым коллекто-  ром |
| 7439 | - | 4 элемента 2И-НЕ с открытым коллектором |

555ИД7, 74138

E1 E2 E3

DC/DMX

DI 1

2

4

DO 0

1

2

3

4

5

6

7

Приоритетный шифратор

8 х 3

555ИВ1, 74148

& R1

R2

C2

CT2 CT8

C1

Q1 Q2 Q3

Q0

EI

PRCD

I

0

1

2

3

4

5

6

7

EO

GS

A 0

1

2

Полный 4-разрядный сумматор

555ИМ6, 74283

C0

B0 B1 B2 B3

SM

A0 A1 A2 A3

S0 S1 S2 S3

C4

Полный 4-разрядный сумматор со сквозным переносом К561ИМ1

15

|  |  |  |  |
| --- | --- | --- | --- |
| B4 A4 | SM | CR0 | 14 |
| B3 A3 |  | S4 | 13 |
| B2  A2 | S3 | | 12 |
| B1  A1 | S2 | | 11 |
| CR | S1 | | 10 |

1

2

3

4

5

6

7

9

**Лабораторная работа № 2**

**ИССЛЕДОВАНИЕ ТИПОВЫХ КОМБИНАЦИОННЫХ УСТРОЙСТВ**

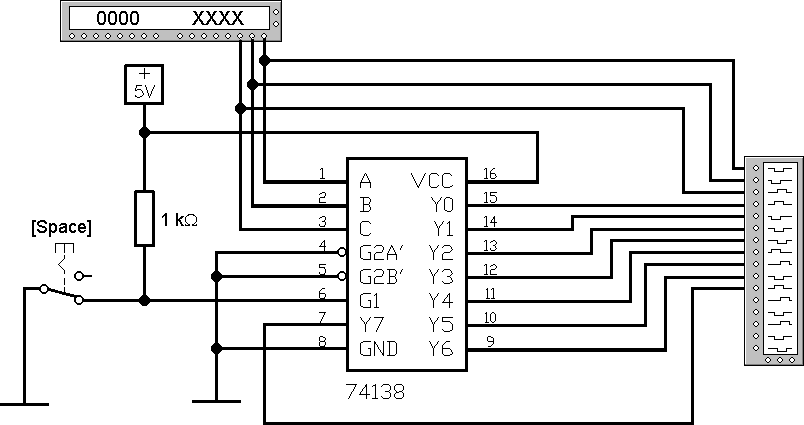
Целью работы является ознакомление с принципами работы комбинационных устройств в среде моделирования Electronics Workbench. Все рабочие схемы, используемые в работе, находят- ся в каталоге **D:\Electronics Workbench\Lab2**.

**Внимание!** При загрузке новых схем и выходе из программы на запрос о сохранении изменений (Save changes…) всегда выби- рать ответ «**Нет**».

# Порядок выполнения

## Интегральные схемы серии 74xx . Дешифратор

Загрузить схему **74138.ewb**.



Микросхема 74138 (отечественные аналоги 555ИД7, 1564ИД7) является дешифратором–демультиплексором с 3 вхо- дами (A, B, C) и 8 выходами (Y0...Y7). Входы G1, G2A, G2B ис- пользуются как разрешающие. В качестве приборов задействова- ны генератор слов (Word Generator) и логический анализатор (Logic Analyzer). Генератор слов выдает периодическую последо-

вательность кодов: 0, 0, 1, 2, 3, 4, 5, 6, 7, 0, 0, 1, … . По принципу работы дешифратор создает унитарный выходной код (с одной лог. "1" или "0"), номер разряда с активным уровнем соответству- ет подаваемому входному коду.

**Привести в отчете** диаграммы работы при наличии и отсут- ствии разрешающего уровня для всей последовательности кодов генератора слов:

G1 A B C Y0

Y1 Y2 Y3 Y4 Y5 Y6 Y7

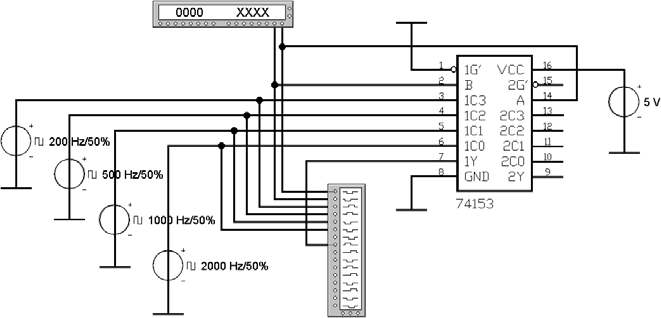
При **оформлении отчета** для защиты привести схему устройства в соответствии с ГОСТ, таблицу истинности, логиче- ские функции для всех выходов.

## Интегральные схемы серии 74xx. Мультиплексор

Загрузить схему **74153.ewb**.

Микросхема 74153 (отечественные аналоги 1533КП2, 1564КП2) содержит два мультиплексора 4 х 1. В эксперименте задействован только один. Входные сигналы — 1C0, 1C1, 1C2, 1C3; выходной сигнал — 1Y. Мультиплексор коммутирует один

из входных сигналов на выход в зависимости от двухразрядного кода, подаваемого на выводы A, B. Вход 1G — разрешающий.



**Привести в отчете** диаграммы работы устройства.

Смоделировать отказ микросхемы устройства: двойным щелчком открыть вкладку Fault, на которой задать, например, об- рыв (Open) одного из входных выводов.

A B

Выходной сигнал при нормальной работе Выходной сигнал при обрыве одного из входов

1C3

1C2

1C1

1C0

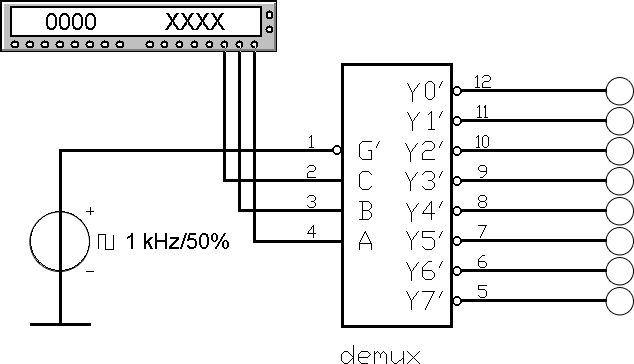
1Y

1Y'

При **оформлении отчета** для защиты привести схему устройства в соответствии с ГОСТ, таблицу истинности, логиче- скую функцию для выхода.

## Исследование демультиплексора

В качестве демультиплексора может использоваться дешиф- ратор при наличии разрешающего входа. Для выполнения данно- го пункта открыть схему **Demux.ewb**.



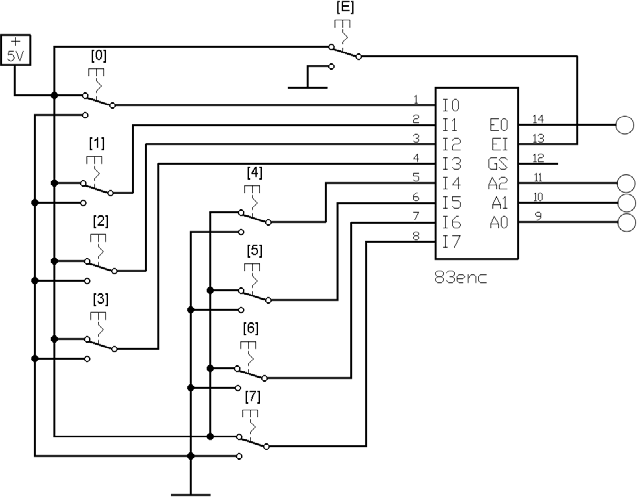
Проверить работу, **дать в отчете** краткое описание возника- ющего эффекта — обратить внимание и зафиксировать процессы, происходящие с частотой генератора импульсов и с частотой ра- боты генератора слов.

В качестве домашнего задания **привести в отчете**: таблицу истинности и временные диаграммы для всех сигналов (G, C, B, A, Y0…Y7); схему демультиплексора на основе микросхемы 74138 (см. п. 1).

## Исследование шифратора

На вход шифратора подается унитарный код (с одним "0" или "1"), преобразуемый на выходе в двоичный. Обычно используют- ся приоритетные шифраторы, в которых при наличии активного уровня на одном из входных разрядов IJ состояние младших раз- рядов (I0...IJ-1) игнорируется.

Открыть схему **Priority Encoder.ewb**. Микросхема шифрато- ра (аналоги 74148, К555ИВ1) имеет 8 инверсных входов (I0…I7), 3 инверсных выхода (A0, A1, A2), входной сигнал EI разрешает работу устройства, выходной сигнал EO указывает на отсутствие возбужденных входов в разрешенном режиме, выходной сигнал GS говорит о наличии хотя бы одного возбужденного входа.



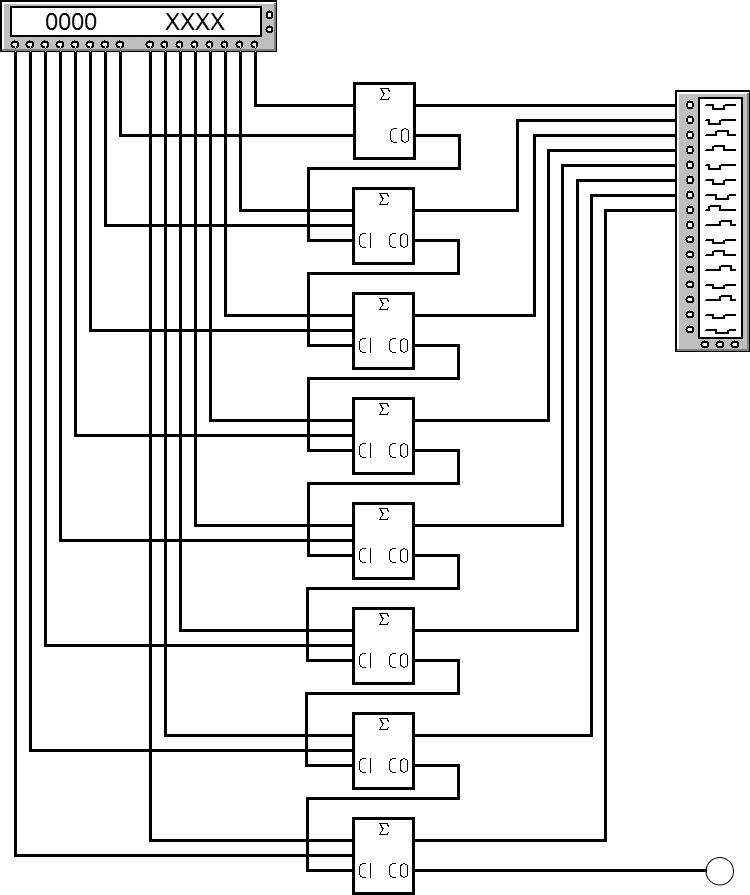
Проверить работу шифратора. **Привести в отчете** таблицу истинности для сигналов EI, I7...I0, A2...A0, EO.

Некоторые рекомендации. Для уменьшения размера таблицы следует учесть, что, например, при запрещающем сигнале EI ос- тальные входные сигналы не влияют и их можно отметить сим- волом **x** в единственной строке. Для разрешающего сигнала EI в таблице может быть всего 9 строк — активный уровень на одном из входных разрядов определяет безразличное состояние осталь- ных младших разрядов, которые также можно пометить знаком **x**.

|  |  |  |  |
| --- | --- | --- | --- |
| EI | I7 I6 I5 I4 I3 I2 I1 I0 | A2 A1 A0 | EO |
| 1 | x x x x x x x x |  |  |
| 0 | … |  |  |
| 0 | … |  |  |
| 0 | … x x x |  |  |

## Исследование сумматора

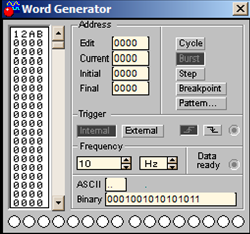
Схема для сложения 8-разрядных двоичных чисел (файл **Sum8.ewb**) содержит один полусумматор и 7 полных суммато- ров. Слагаемые задаются старшим и младшим байтами генерато- ра слов. Процесс сложения и результат фиксируются логическим анализатором. Перенос из самого старшего бита визуализируется единичным индикатором.



Выполнить беззнаковую операцию A + B и сложение одно- байтовых чисел со знаком C + D (вариант задания соответствует номеру рабочего места).

Порядок действия.

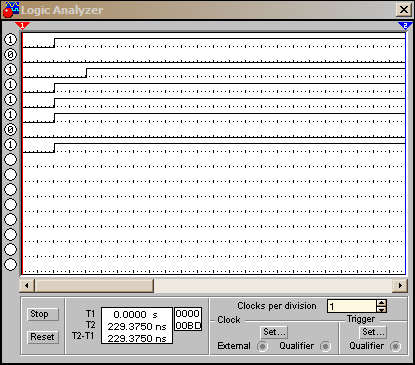
* + Перевести десятичные значения из таблицы в 16-ричную и двоичную формы с помощью инженерного (программист- ского) калькулятора, установив режим «1 байт».
  + Ввести слагаемые в первую строку генератора слов:



Поле для слагаемых (сейчас здесь заданы 16-ричные 12 и AB)

Поле для слагаемых в двоичной системе

* + Запустить моделирование.
  + В левом столбце логического анализатора прочитать ре- зультат сложения в двоичном формате:



* + Перевести результат в 16-ричную и десятичную системы, занести в таблицу результатов (не заносить результат руч- ного сложения с помощью калькулятора!)
  + При включенном индикаторе переноса указать в таблице наличие признака переноса при сложении.

Предостережение: встроенный калькулятор Windows XP осуществляет перевод в десятичную систему без учета знака, по- этому в случае знакового сложения и получения "1" в старшем бите предварительно изменить знак результата (инвертировать и прибавить 1), перевести в десятичную систему и приписать отри- цательный знак.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Вариант | Беззнаковое сложение | | Сложение со знаком | |
| A | B | C | D |
| 1 | 121 | 165 | -121 | 105 |
| 2 | 62 | 198 | -62 | 12 |
| 3 | 73 | 184 | -73 | 99 |
| 4 | 84 | 233 | -84 | 63 |
| 5 | 95 | 180 | -95 | 67 |
| 6 | 106 | 199 | -106 | 54 |
| 7 | 37 | 108 | -37 | 86 |
| 8 | 60 | 220 | -60 | 33 |
| 9 | 200 | 100 | -56 | 100 |
| 10 | 111 | 222 | -111 | 22 |

**Привести в отчете** результат работы в виде следующей таб- лицы, для одной из операций изобразить временные диаграммы.

|  |  |  |  |
| --- | --- | --- | --- |
|  | 10-ная  форма | 16-ричная  форма | Двоичная форма  (только 8 бит) |
| A |  |  |  |
| B |  |  |  |
| Сумма |  |  |  |
| Перенос |  |  |  |
| C |  |  |  |
| D |  |  |  |
| Сумма |  |  |  |
| Перенос |  |  |  |

В качестве домашнего задания **привести в отчете** схему 8- разрядного сумматора с использованием 4-разрядных сумматоров типа К555ИМ6, К561ИМ1 (см. приложение к работе № 1).

# Содержание отчета

Схемы устройств, диаграммы, таблицы, функции (перечис-

лены в каждом пункте выполнения работы).

# Контрольные вопросы

1. Каковы области применения дешифраторов и мульти- плексоров?
2. Каковы области применения демультиплексоров?
3. Как осуществить каскадирование нескольких демульти- плексоров?
4. Как осуществить каскадирование нескольких приоритет- ных шифраторов?
5. Нарисуйте схемы мультиплексора, демультиплексора, шифратора, дешифратора, одноразрядного сумматора с исполь- зованием стандартных логических элементов.
6. Как реализовать сложение-вычитание чисел с автомати- ческим переводом их в дополнительных код?
7. Чем отличается полусумматор от полного сумматора?
8. Сравните двоичные сумматоры с последовательным и параллельным переносом.
9. Приведите логические выражения для всех устройств, ис- следованных в настоящей работе.
10. Составить схему дешифратора 4 х 16 на основе дешиф- раторов 3 х 8.
11. На основе двух мультиплексоров 4 х 1 синтезировать мультиплексор 8 х 1.
12. Синтезировать демультиплексор на 12 выходов.
13. Синтезировать приоритетный шифратор на 10 входов.
14. Синтезировать N-разрядный цифровой компаратор на ба- зе логических элементов "исключающее ИЛИ".
15. Синтезировать N-разрядный цифровой компаратор на ос- нове двоичных сумматоров.
16. Синтезировать 5-входовый мажоритарный элемент.
17. На базе дешифратора 3 х 8 синтезировать устройство, ре- ализующее функцию четности числа единиц (нулей).
18. Синтезировать двоичный N-разрядный вычитатель.

**Лабораторная работа № 3**

**ИССЛЕДОВАНИЕ ТИПОВЫХ ПОСЛЕДОВАТЕЛЬНОСТНЫХ УСТРОЙСТВ**

Целью работы является ознакомление с принципами работы последовательностных устройств в среде моделирования Elec- tronics Workbench. Рабочие схемы размещены в каталоге **D:\Electronics Workbench\Lab3**.

**Внимание!** При загрузке новых схем и выходе из программы на запрос о сохранении изменений (Save changes…) всегда выби- рать ответ «**Нет**».

# Порядок выполнения

## Исследование JK-триггера

Открыть схему **JK-trigger.ewb** .



Проверить работу схемы. **Привести в отчете** таблицу пере- ходов (переключений). Дать названия всех состояний (режимов) работы триггера. Учесть, что установочные входы R, S являются более приоритетными по сравнению с установочными J, K. Вход C является синхронным и в соответствующих режимах указыва- ется как переход из одного состояния в другое.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| R | S | J | K | C | Q | Q | Режим |
| 0 | 0 | x |  |  |  |  |  |
| 0 | 1 |  |  |  |  |  |  |
| 1 | 0 |  |  |  |  |  |  |
| 1 | 1 |  |  |  |  |  |  |
| … |  |  |  |  |  |  |  |
| … |  |  |  |  |  |  |  |

Задать реальную модель триггера (свойства вызываются двойным щелчком): CMOS – HC, HC-BUF, 4000, TTL – LS или другое (согласовать с преподавателем). **Привести в отчете** диа- граммы входного и выходного сигнала в счетном режиме на низ- кой частоте (1 МГц), на максимальной частоте работы триггера (определить с точностью до 5-10 МГц) и на частоте, превышаю- щей максимальную.

## Исследование параллельного регистра

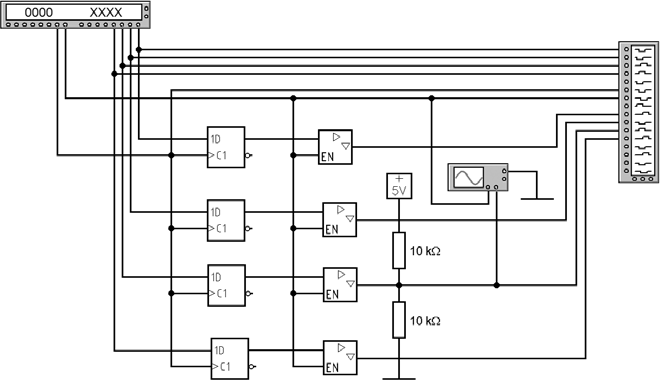
Открыть схему **ParRegister.ewb**.

3-го состояния один из выходов нагружен на резистивный дели- тель, диаграмма сигнала на этом выходе регистрируется как ло- гическим анализатором, так и осциллографом (логический анали- затор не идентифицирует 3-е состояние).

Проверить работу схемы. **Привести в отчете** диаграммы полного цикла записи-чтения двух кодов, при этом уровни сигна- лов, соответствующие считываемым данным, изобразить с уче- том 3-го состояния. Отметить на диаграмме области записи, чте- ния, хранения, дать словесные названия сигналам.

Входные данные

Управляющие сигналы

"1"

"Z"

"0"

"1"

"Z"

"0"

"1"

"Z"

"0"

"1"

"Z"

"0"

Выходные разряды с 3-м состоянием

Четырехразрядный регистр содержит 4 D-триггера и 4 бу- ферных элемента, имеющих 3-е состояние. Данные и управляю- щие сигналы формируются генератором слов. Для иллюстрации

Интервалы записи/чтения/хранения (указать!)

В качестве домашнего задания **привести в отчете** схему функционально аналогичного 8-разрядного регистра с использо- ванием только одной интегральной микросхемы. Дать таблицу переходов регистра.

## Синтез счетчика с последовательным переносом

Синтезировать двоичный счетчик с асинхронным сбросом в соответствии с одним из нижеприведенных заданий (согласовать с преподавателем). Исходными элементами являются D- или JK- триггеры, 7-сегментные индикаторы со встроенным дешифрато- ром (в качестве устройства регистрации), генератор тактовых им- пульсов, кнопка сброса, необходимые логические элементы.

Варианты заданий:

* 1. суммирующий на D-триггерах с модулем счета 9;
  2. вычитающий на JK-триггерах с модулем счета 14;
  3. суммирующий на JK-триггерах с модулем счета 11;
  4. вычитающий на D-триггерах с модулем счета 10;
  5. суммирующий на D-триггерах с модулем счета 12;
  6. вычитающий на JK-триггерах с модулем счета 15;
  7. суммирующий на JK-триггерах с модулем счета 13;
  8. вычитающий на D-триггерах с модулем счета 13.
  9. суммирующий на D-триггерах с модулем счета 11;
  10. вычитающий на JK-триггерах с модулем счета 12;

Продемонстрировать работу, **привести в отчете** схему уст- ройства, диаграммы работы. На диаграммах показать тактовый сигнал, разряды счетчика, сигнал сброса по достижении предель- ного значения (модуля счета). Сигнал сброса при необходимости нарисовать теоретически, так как при моделировании он может не визуализироваться из-за очень малой длительности.

## Моделирование цифрового 4-канального измерителя напря- жения

В следующем задании предлагается изучить устройство сме- шанного типа, использующее как цифровые, так и аналоговые компоненты. Устройство измеряет уровни напряжения в диапа- зоне 0…9,9 В по 4-м каналам, выбираемым вручную посредством двух переключателей. Запуск измерения также производится оператором при нажатии и отпускании кнопки. Результат изме- рения выводится на два цифровых 7-сегментных индикатора.

Для загрузки схемы открыть файл **U-meter.ewb**.

Микросхема 74138 представляет собой дешифратор 3 x 8 (выдает один из 8 активных сигналов на выходах Y0…Y7 по трехбитному коду на входах A, B, C). Микросхема 7490 выполня- ет функции двоично-десятичного счетчика: по спаду тактового импульса на входе CKA формирует двоичный код от 0000 до 1001 на выходах QD, QC, QB, QA; при подаче логической 1 на входы RO1 и RO2 происходит сброс — выдача нулевого кода. Цифровой 7-сегментный индикатор BCD/DPY со встроенным дешифратором отображает 16-ричное число 0…9, A, B, C, D, E, F при подаче на входы двоичных кодов 0000…1111. Компаратор UCOMP выдает на своем выходе лог. 1, если напряжение на вхо- де X больше напряжения на входе Y, и лог. 0 — в противном случае.

Принцип работы измерителя заключается в следующем. Вы- бор одного из 4-х входных каналов осуществляется вручную по- средством двух кнопок с фиксацией, код с которых через дешиф- ратор замыкает один из входных управляемых напряжением ключей. От входного напряжения заряжается конденсатор, кото- рый затем при нажатии кнопки запуска разряжается через источ- ник тока. На время разряда, зависящее от уровня входного напряжения, открывается логический элемент И, пропуская так- товые импульсы с генератора на двухкаскадный счетчик.

Проверить работу по всем входным каналам, записать пока- зания индикаторов. **Привести в отчете** диаграммы заряда- разряда конденсатора и тактовых импульсов для двух-трех раз- личных входных напряжений. С помощью логического анализа- тора просмотреть и зафиксировать в отчете диаграммы одного полного цикла работы счетчика (рекомендуется при этом устано- вить максимальный уровень входного напряжения). Указать, от параметров каких компонентов зависит точность измерения. Проиллюстрировать это на одном из них, изменив параметры в обе стороны (на 5…20%). Дать рекомендации по уменьшению времени одного измерения.

Модифицировать схему с одной из следующих или других целей (конкретное задание согласовать с преподавателем): а) ис- ключить все лишние элементы для реализации одноканального измерителя; б) добавить третий десятичный разряд; в) ввести ав-

томатическое переключение каналов через заданное время; г) ввести режим автоматического запуска измерений; д) расширить диапазон входного напряжения до 99 В; е) реализовать измерение напряжения отрицательной полярности; ж) ввести светодиодный индикатор, который сигнализирует о выходе измеряемого напря- жения за заданные границы и др.

# Содержание отчета

Схемы всех исследованных устройств с использованием ре- альных импортных и отечественных микросхем.

Диаграммы, таблицы и др. (перечислены в каждом пункте выполнения работы).

# Контрольные вопросы

1. Дайте определения комбинационных и последовательно- стных устройств?
2. Дайте классификацию триггеров.
3. Изобразите таблицы переходов известных вам типов триггеров.
4. Объясните различия управляющих сигналов по уровню и фронту на примере триггеров и регистров.
5. Какие параметры используются для оценки быстродей- ствия триггеров и чем они определяются?
6. Какие типы триггеров могут быть использованы для по- строения схем: а) регистров памяти, б) регистров сдвига?
7. Как на базе триггеров реализовать мультивибратор?
8. Почему для построения регистров сдвига могут исполь- зоваться только триггеры, синхронизируемые фронтом?
9. Расскажите об областях применения параллельных и по- следовательных регистров. Изобразите схему преобразователя параллельного кода в последовательный и наоборот.
10. Что такое кольцевой регистр?
11. Как объединяются по выходам схемы, имеющие 3-е со- стояние? Как осуществляется их параллельная работа?
12. Как сделать реверсивный счетчик?
13. Как сделать счетчик с изменяемым с помощью управля- ющего сигнала коэффициентом пересчета?
14. Что такое программируемый счетчик?
15. Каковы принципы построения счетчиков с параллельным переносом?
16. Каким образом можно обеспечить деление частоты сле- дования импульсов в заданное число раз?
17. Дайте классификацию и сравнительную характеристику способов аналого-цифрового преобразования. Какой из них ис- пользован в измерителе напряжения?
18. Какие факторы влияют на точность измерения напряже- ния, чем ограничивается предельная точность?

**БИБЛИОГРАФИЧЕСКИЙ СПИСОК**

1. Микушин А.В., Сажнев А.М., Сединин В.И. Цифровые устройства и микропроцессоры. — СПб.: БВХ-Петербург, 2010.

— 832 с.

1. Новожилов О.П. Основы цифровой техники / Учебное по- собие. — М.: ИП РадиоСофт, 2004. — 528 с.
2. Карлащук В.И. Электронная лаборатория на IBM PC. Про- грамма Electronics Workbench и ее применение. — М.: СОЛОН–Р, 2003. — 736 с.
3. Электротехника и электроника в экспериментах и упраж- нениях: Практикум на Electronics Workbench: В 2 т. /Под ред. Д.И.Панфилова. — Т. 2: Электроника. — М.: ДОДЭКА, 2000. — 288 с.
4. Извозчикова В.В., Корнев Е.А. Цифровая схемотехника: Методические указания к лабораторному практикуму. — Орен- бург: ГОУ ОГУ, 2005. — 32 с. [(http://window.edu.ru/resource/202/19202/files/metod555.pdf](http://window.edu.ru/resource/202/19202/files/metod555.pdf)))